

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kazuyuki HIGASHI, et al.

GAU:

SERIAL NO: 10/765,833

EXAMINER:

FILED: January 29, 2004

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-372989	October 31, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

*Paul Sacher*

Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

Paul Sacher  
Registration No. 43,418

035/058  
10/765, 833

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出 願 年 月 日  
Date of Application: 2003年10月31日

出 願 番 号  
Application Number: 特願2003-372989

ST. 10/C]: [JP2003-372989]

願 人  
Applicant(s): 株式会社東芝

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2004年 2月18日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 A000303756  
【提出日】 平成15年10月31日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/10  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 東 和幸  
【発明者】  
    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所  
                                内  
    【氏名】 松永 範昭  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】 特許請求の範囲****【請求項 1】**

半導体基板と、  
前記半導体基板上に形成され、且つ前記半導体基板の表面に形成された接続領域を有する能動素子構造と、  
前記半導体基板の上方に配設された第 1 絶縁膜と、  
前記第 1 絶縁膜の表面に配設され、且つ銅から構成された、第 1 配線層と、  
前記第 1 絶縁膜上に配設された第 2 絶縁膜と、  
前記第 2 絶縁膜内に形成され、底部が前記第 1 配線層と接続された接続孔と、  
前記接続孔内に他の銅の結晶が配設されることなく前記接続孔を充填する銅の単一の結晶から構成された接続プラグと、  
前記第 2 絶縁膜の表面に形成され、且つ底部が前記接続孔と接続された、配線溝と、  
前記配線溝内に配設された導電材から構成される第 2 配線層と、  
を具備することを特徴とする半導体装置。

**【請求項 2】**

前記接続孔の底部から、前記接続孔の側壁上および前記配線溝の内面上まで延在し、且つ Ti、W、Ta、Nb、Al、V、Zr、Ni、およびこれらの窒化物、酸化物からなる群から選択された材料から構成され、且つ 0.1 nm～1 nm の厚さを有する、拡散防止金属膜をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

**【請求項 3】**

前記接続孔の内面上に配設され、且つ前記接続孔の底部において前記第 1 配線層に達する開口を有し、且つ銅と異なる材料から構成された、拡散防止金属膜をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

**【請求項 4】**

前記拡散防止金属膜は、Ti、W、Ta、Nb、Al、V、Zr、Ni、およびこれらの酸化物、窒化物からなる群から選択された材料から構成されることを特徴とする請求項 3 に記載の半導体装置。

**【請求項 5】**

前記接続プラグを構成する銅は、前記第 1 配線層の前記接続孔直下で且つ前記接続穴近傍の部分が有する結晶配向と同じ結晶配向を有することを特徴とする請求項 1 または請求項 3 に記載の半導体装置。

**【請求項 6】**

半導体基板上に、前記半導体基板の表面に形成された接続領域を有する能動素子構造を形成する工程と、  
前記半導体基板の上方に第 1 絶縁膜を形成する工程と、  
前記第 1 絶縁膜の表面に銅から構成された配線層を形成する工程と、  
前記第 1 絶縁膜上に第 2 絶縁膜を形成する工程と、  
前記第 2 絶縁膜内に、底部が前記配線層と接続された接続孔と、底部が前記接続孔と接続された配線溝と、を形成する工程と、  
前記接続孔内に他の銅の結晶が形成されないように、前記配線層上にエピタキシャル成長により形成された銅により前記接続孔を充填する工程と、  
前記配線溝を銅により充填する工程と、  
を具備することを特徴とする半導体装置の製造方法。

## 【書類名】明細書

【発明の名称】半導体装置およびその製造方法

【技術分野】

【0 0 0 1】

本発明は、半導体装置に関し、例えば、多層配線構造を有する半導体装置のビアおよび配線構造に関する。

【背景技術】

【0 0 0 2】

近時、多層配線構造の半導体装置の配線材料として、従来の A l（アルミニウム）に代えて、C u（銅）配線が用いられるようになってきている。これは、配線抵抗の低減と、配線に大電流を流したいという要求に基づくものである。

【0 0 0 3】

銅配線は、高い E M（Electro Migration）耐性を有する一方、S M（Stress Migration）に対する耐性はあまり高くない。これは以下の理由による。すなわち、まず、図 1 6 に示すように、ビアホール（接続孔）および配線溝内に銅が埋め込まれることにより、配線層 1 0 1 およびビア 1 0 2 が形成されている。銅が C V D（Chemical Vapor Deposition）法、スパッタリング法等により埋め込まれた場合、ビアホールおよび配線溝の各位置（側面、底面等）から堆積された銅の結晶粒は、それぞれが異なる結晶配向を有する。このため、これらの結晶粒が接合する界面で、粒界 1 0 3 が形成される。粒界 1 0 3 の近傍では、結晶粒の状態が不安定である。

【0 0 0 4】

不安定な結晶粒は、半導体装置に熱処理を施した際に配線にかかる熱によって安定な位置に移行しようとする。この結果、図 1 7 に示すように、粒界 1 0 3 が形成されていた領域の近傍でボイド（空隙） 1 0 4 が形成されることがある。特に、ビア 1 0 2 中の結晶粒は、配線層 1 0 1 中の結晶粒よりも細くなる傾向がある。このことは、ビア中 1 0 2 に、状態の不安定な粒が多く存在する可能性が高くなることを意味する。ボイド 1 0 4 を起因として S M による不良が発生しやすい。

【0 0 0 5】

結晶粒の移動に起因する S M 不良を回避するために、幾つかの施策が考えられる。まず、配線およびビア材料として、銅に、銅と異なる金属を添加することが提案されている。この結果、結晶粒の動きが阻害され、ボイドの形成を抑えることができる。しかしながら、銅に異種金属が混入すると、銅が有する低抵抗の特長が薄められ、配線抵抗が増大する。

【0 0 0 6】

また、ビアホールの側壁上のバリアメタルと銅との密着性を向上させることにより、結晶粒の移動を抑制する手法が考えられる。しかしながら、この手法は、バリアメタル近傍の結晶粒に対しては効果があるが、結晶粒が最も不安定な界面に対しては効果が無い。すなわち、粒界にボイドが形成されることを回避できない。

【0 0 0 7】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【特許文献 1】特開 2002-75995 号公報

【特許文献 2】特開 2002-124565 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 8】

本発明は、上記事情に鑑みてなされたものであり、その目的とするところは、銅から構成されるビアを有し、高い S M 耐性を有する半導体装置およびその製造方法を提供しようとするものである。

【課題を解決するための手段】

【0 0 0 9】

本発明の第1の視点による半導体装置は、半導体基板と、前記半導体基板上に形成され、且つ前記半導体基板の表面に形成された接続領域を有する能動素子構造と、前記半導体基板の上方に配設された第1絶縁膜と、前記第1絶縁膜の表面に配設され、且つ銅から構成された、第1配線層と、前記第1絶縁膜上に配設された第2絶縁膜と、前記第2絶縁膜内に形成され、底部が前記第1配線層と接続された接続孔と、前記接続孔内に他の銅の結晶が配設されることなく前記接続孔を充填する銅の単一の結晶から構成された接続プラグと、前記第2絶縁膜の表面に形成され、且つ底部が前記接続孔と接続された、配線溝と、前記配線溝内に配設された導電材から構成される第2配線層と、を具備することを特徴とする。

#### 【0010】

本発明の第2の視点による半導体装置の製造方法は、半導体基板上に、前記半導体基板の表面に形成された接続領域を有する能動素子構造を形成する工程と、前記半導体基板の上方に第1絶縁膜を形成する工程と、前記第1絶縁膜の表面に銅から構成された配線層を形成する工程と、前記第1絶縁膜上に第2絶縁膜を形成する工程と、前記第2絶縁膜内に、底部が前記配線層と接続された接続孔と、底部が前記接続孔と接続された配線溝と、を形成する工程と、前記接続孔内に他の銅の結晶が形成されないように、前記配線層上にエピタキシャル成長により形成された銅により前記接続孔を充填する工程と、前記配線溝を銅により充填する工程と、を具備することを特徴とする。

#### 【0011】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

#### 【発明の効果】

#### 【0012】

本発明によれば、ビアホールを充填する材料の欠落部が形成されることを防止し、高信頼性を有する半導体装置を提供できる。

#### 【発明を実施するための最良の形態】

#### 【0013】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

#### 【0014】

#### (第1実施形態)

図1は、本発明の第1実施形態に係る半導体装置を概略的に示す断面図である。図1は、多層配線構造の半導体装置のある1層を中心に、その周囲および半導体基板を含めた構造を示している。図1に示すように、半導体基板1上に、トランジスタ(能動素子構造)2が形成される。トランジスタ2は、ソース/ドレイン拡散層(接続領域)3、ゲート絶縁膜(図示せぬ)上のゲート電極4を有する。なお、図1では、半導体基板上に形成された能動素子構造としてトランジスタを例示している。しかしながら、これに限られず、所定の動作、作用、効果を呈し、電気的な接続領域を有していれば、いかなる素子構造であっても構わない。

#### 【0015】

半導体基板1の上方に、層間絶縁膜11が設けられる。層間絶縁膜11の材料として、層間絶縁膜11内の配線層同士の容量を低減するために、低誘電率材料を用いることができる。具体的には、例えば、シロキサン、メチルシルセスキオキサン(MSQ)、有機ポリマー、これらの多孔質膜を用いることができる。多孔質膜とは、膜中に細孔が多数形成された膜を意味する。さらに、これらのいずれかの積層膜とすることも可能である。

#### 【0016】

層間絶縁膜 11 の表面には、配線層 12 が形成される。配線層 12 は、配線溝内にバリアメタル 13 を介して埋め込まれた銅により構成される。

#### 【0017】

層間絶縁膜 11 上には、層間絶縁膜 21 が設けられる。層間絶縁膜 21 の材料として、層間絶縁膜 11 として用いることができるものを用いることができる。層間絶縁膜 21 内に、配線層 12 とビアホール 22 が形成される。層間絶縁膜 21 の表面には、ビアホール 22（接続孔）と接続された配線溝 23 が形成される。

#### 【0018】

ビアホール 22 および配線溝 23 の内面上には、バリアメタル 24 が設けられる。バリアメタル 24 は、バリアメタル 24 を挟む 2 つの膜のうち一方が、他方の結晶配向を引き継ぐことができるような材料、厚さを有する。具体的には、バリアメタル 24 を挟む 2 つの膜（銅）と結晶化学的に類似しているか、銅との接合界面における原子間距離が近似している材料が用いられる。より具体的には、配線層 12 に銅が用いられる場合、Ti（チタン）、W（タングステン）、Ta（タンタル）、Nb（ニオブ）、Al（アルミニウム）、V（バナジウム）、Zr（ジルコニウム）、Ni（ニッケル）、およびこれらの窒化物または酸化物を用いることができる。さらに、これらの材料を用いた場合、その厚さは 0.1 nm～1 nm である。

#### 【0019】

ビアホール 22 および配線溝 23 内は、バリアメタル 24 を介して銅により埋め込まれている。この結果、ビア 25 および配線層 26 が形成される。ビア 25 中の銅は、単一の結晶粒から構成され、ビアホール 22 内に他の銅の結晶粒は設けられない。また、ビア 25 中の銅は、ビアホール 22 内の全ての個所において同じ結晶配向を有する。このビア 25 中の銅の結晶配向は、配線層 12 のうち、ビアホール 22 直下で且つビアホール 22 近傍の部分（以下、単にビアホール下領域）が有する結晶配向と同じ結晶配向である。ここで、ビアホール 22 の近傍とは、ビアホール 22 から 0.1 nm～10 nm 程度の範囲内を意味する。バリアメタル 24 を上記した条件で形成することにより、配線層 12 の結晶配向がバリアメタル 24 を介してビア 25 に引き継がれる。ビア 25 が、単一の結晶粒から構成されているため、ビア 25 内に粒界は形成されていない。

#### 【0020】

次に、上記構成の半導体装置の製造方法について図 2～図 6 を用いて説明する。以下、層間絶縁膜 11、21 が位置する層のみについて説明する。図 2 に示すように、半導体基板 1 上に公知の方法によりトランジスタ 2 が形成された後、半導体基板 1 の上方に層間絶縁膜 11 が形成される。次に、層間絶縁膜 11 の表面にリソグラフィおよびエッチングにより配線溝が形成され、配線溝内にバリアメタル 13 を介して銅が埋め込まれる。次に、層間絶縁膜 11 上の余分な銅が例えば CMP（Chemical Mechanical Polish）法により除去されることにより配線層 12 が形成される。

#### 【0021】

次に、図 3 に示すように、層間絶縁膜 11 上に、層間絶縁膜 21 が形成される。次に、リソグラフィおよび RIE（Reactive Ion Etching）等の異方性エッチングにより、ビアホール 22 および配線溝 23 が形成される。

#### 【0022】

次に、図 4 に示すように、例えば CVD 法または ALD（Atomic Layer Deposition）法により、ビアホール 22 および配線溝 23 の内面上から層間絶縁膜 21 上に亘ってバリアメタル 24 が形成される。なお、ALD 法の方が、厚さの制御性の観点から望ましい。また、ALD 法によれば、バリアメタル 24 が、配線層 12 のビアホール 22 近傍部分の結晶配向に近い結晶配向でエピタキシャル成長するため、こちらの方が好ましい。バリアメタル 24 が、ビアホール 22 の底で、薄く且つ同じ結晶配向を有するように形成されることにより、続く工程で形成されるビア 25 が配線層 12 の結晶配向を引き継ぐことが容易となる。

#### 【0023】

次に、図5に示すように、例えばスパッタ法またはCVD法等により、ビアホール22および配線溝23の内面上から層間絶縁膜21上に亘って、銅からなるシード膜31が形成される。シード膜31は、電界メッキによりビアホール22を埋めこむ際の電極、およびエピタキシャル成長の基礎として機能し、また1nm~100nm程度の厚さを有する。シード膜31は、バリアメタル24を介して配線層12内のビアホール下領域の結晶配向を引き継いだ結果、このビアホール下領域の結晶配向と同じ結晶配向を有する。また、少なくともシード膜31のビアホール22底部の部分は、全ての個所において同じ結晶配向を有する。

#### 【0024】

次に、図6に示すように、電界メッキにより、ビアホール22内に銅が埋め込まれる。このとき、ビアホール22の底から銅がエピタキシャル成長する条件下で、ビアホール22が埋め込まれる。この結果、配線層12のビアホール下領域の結晶配向と同じ結晶配向により、銅がビアホール22の下から上へ向かって成長する。また、ビアホール22が埋め込まれた後、引き続き同じ工程により配線溝23が銅により埋め込まれる。配線溝23内の銅は、ビア25の結晶配向を引き継ぐが、配線溝23が銅の結晶粒より大きな形状を有するため、単一結晶とはならない。すなわち、粒界32が形成される。

#### 【0025】

次に、図1に示すように、層間絶縁膜21上の余分なバリアメタル24および銅が、CMP法等により除去される。

#### 【0026】

本発明の第1実施形態に係る半導体装置によれば、ビア25の材料として銅が用いられた構造において、ビア25は単一の結晶粒から構成される。このため、ビア25内で粒界32が形成されない。粒界32が形成されないため、続く熱処理工程において、結晶粒が、結晶粒の状態が不安定な粒界部分より安定な部分へと移動した結果、粒界32が存在していた部分に空隙が形成されることを回避できる。このため、空隙に起因してストレスマイグレーション耐性が低下し、半導体装置の信頼性が低下することを回避できる。

#### 【0027】

また、配線層12とシード膜31との間のバリアメタル24は、配線層12とシード膜31の結晶配向が同じになるような材料および厚さにより構成される。このため、配線層12およびシード膜31の間にバリアメタル24が設けられたとしても、シード膜31の結晶配向を配線層12のビアホール下領域と同じとすることができる。そして、シード膜31の結晶配向を引き継いだ、単一結晶のビア25を形成することができる。

#### 【0028】

(第2実施形態)

第2実施形態では、バリアメタル24は、ビアホール22の底部で配線層12と接続された開口を有する。

#### 【0029】

図7は、本発明の第2実施形態に係る半導体装置を概略的に示す断面図である。図7に示すように、ビアホール22および配線溝23の内面上には、バリアメタル24が設けられる。バリアメタル24の、ビアホール22の底の部分は、除去されている。第2実施形態では、後述するように、第1実施形態と異なりビア25の結晶配向がバリアメタル24を介して引き継ぐものではないため、配線層12バリアメタル24の厚さは、第1実施形態のものに限定される必要はない。すなわち、一般的な値とすることができる。

#### 【0030】

バリアメタル24を介してビアホール22および配線溝23内が銅により埋め込まれることにより、ビア25および配線層26が形成される。ビア25は、下層の配線層12と直接接続されている。ビア25の全ての個所の結晶配向は、第1実施形態と同様に、ビアホール下領域の結晶配向と同じである。

#### 【0031】

次に、上記構成の半導体装置の製造方法について図8~図10を用いて説明する。以下

、層間絶縁膜 11、21 が位置する層のみについて説明する。まず、第 1 実施形態の図 3 までの工程が行われる。次に、図 8 に示すように、例えば CVD 法、または ALD 法、またはスパッタリング法により、ビアホール 22 および配線溝 23 の内面上から層間絶縁膜 21 上に亘ってバリアメタル 24 が形成される。次に、例えば RIE 法、または Ar（アルゴン）等の不活性ガスを用いた処理により、ビアホール 22 の底のバリアメタル 24 が除去される。この結果、下層の配線層 12 が、ビアホール 22 の底で露出する。

#### 【0032】

次に、図 9 に示すように、次に、例えば CVD 法またはスパッタリング法により、ビアホール 22 および配線溝 23 の内面上から層間絶縁膜 21 上に亘ってシード膜 31 が形成される。少なくとも配線層 12 上のシード膜 31 は、エピタキシャル成長し、配線層 12 のビアホール下領域の結晶配向と同じ結晶配向を有する。

#### 【0033】

次に、図 10 に示すように、電界メッキにより、ビアホール 22 内に銅が埋め込まれる。このとき、第 1 実施形態と同様に、ビアホール 22 の底から銅がエピタキシャル成長する条件下で、ビアホール 22 が埋め込まれる。この結果、配線層 12 のビアホール下領域の結晶配向と同じ結晶配向により、銅がビアホール 22 の下から上へ向かってエピタキシャル成長する。同じ工程により、続けて配線溝 23 が銅により埋め込まれる。

#### 【0034】

次に、図 7 に示すように、層間絶縁膜 21 上の余分なバリアメタル 24 および銅が、CMP 法等により除去される。

#### 【0035】

本発明の第 2 実施形態によれば、ビア 25 内の銅は、第 1 実施形態と同様に、単一の結晶粒により構成される。このため、第 1 実施形態と同じ効果を得られる。また、第 2 実施形態によれば、ビアホール 22 の底のバリアメタル 24 は除去され、下層の配線層 12 上に直接、ビア 25 の銅が形成される。このため、バリアメタル 24 の材料および厚さとは無関係に、単一の結晶粒の銅からなるビア 25 を形成することができる。

#### 【0036】

##### (第 3 実施形態)

第 3 実施形態では、ビア 25 が無電解メッキにより形成される。

#### 【0037】

第 3 実施形態に係る半導体装置の断面構造は、第 2 実施形態と同じである。以下に、図 11、図 12 を用いて、第 3 実施形態に係る半導体装置の製造方法について説明する。まず、第 2 実施形態の図 8 までの工程が行われる。

#### 【0038】

次に、図 11 に示すように、無電解メッキにより、ビアホール 22 内に銅が埋め込まれる。ビアホール 22 内において、銅は、下層の配線層 12 のビアホール下領域の部分の結晶配向を引き継ぎながら、ビアホール 22 の下から上へ向かってエピタキシャル成長する。この結果、ビア 25 が形成される。ビアホール 22 内が銅により埋め込まれた後、無電解メッキを終了する。

#### 【0039】

次に、図 12 に示すように、ビア 25 を電極として、電界メッキ法により配線溝 23 内に銅が埋め込まれる。次に、図 7 に示すように、層間絶縁膜 21 上の余分なバリアメタル 24 および銅が、CMP 法等により除去される。

#### 【0040】

本発明の第 3 実施形態によれば、ビア 25 は、第 1 実施形態と同様に、単一の結晶粒の銅により構成される。このため、第 1 実施形態と同じ効果を得られる。また、第 2 実施形態と同様に、ビアホール 22 の底のバリアメタル 24 が除去され、配線層 12 上にビア 25 の銅が形成される。このため、第 2 実施形態と同じ効果を得られる。

#### 【0041】

##### (第 4 実施形態)

第4実施形態では、シード膜31が、配線溝23およびビアホール22の底面上のみに形成される。

【0042】

第4実施形態に係る半導体装置の断面構造は、第1実施形態と同様である。ただし、バリアメタル24の厚さおよび材料は、第1実施形態のものも含んだ一般的なものを用いることができる。

【0043】

以下に、図13、図14を用いて、第4実施形態に係る半導体装置の製造方法について説明する。まず、第1実施形態の図4までと同様の工程が行われる。

【0044】

次に、図13に示すように、例えばCVD法またはスパッタリング法により、ビアホール22および配線溝23内にシード膜31が形成される。このとき、スパッタリングの粒子の垂直成分が多くなるように制御することにより、ビアホール22および配線溝23の底面上のみにシード膜31が形成される。また、このとき、シード膜31の厚さは、1nm～100nm程度とされる。このような条件で、ビアホール22内においては底部のみにシード膜31を形成することにより、シード膜31は単一の結晶粒から構成される。すなわち、一様な結晶配向を有する。したがって、シード膜31の結晶配向は、下層の配線層13の結晶配向とは無関係である。

【0045】

次に、図14に示すように、無電解メッキにより、シード膜31を基点として銅がエピタキシャル成長する。この結果、図15に示すように、ビアホール22内、配線溝23内、層間絶縁膜21上、に材料膜27が形成される。次に、図1に示すように、層間絶縁膜21上の余分なバリアメタル24および銅が、CMP法等により除去されることにより、ビア25および配線層26が形成される。

【0046】

本発明の第4実施形態に係る半導体装置によれば、ビア25は、第1実施形態と同様に、単一結晶の銅により構成される。このため、第1実施形態と同じ効果を得られる。また、ビアホール22内では、所定の厚さのシード膜31を底部のみに形成し、これを基礎としたビアホール22がエピタキシャル成長した銅により埋め込まれる。このため、バリアメタル24の材料、および厚さとは無関係に、単一の結晶粒の銅からなるビア25を形成することができる。

【0047】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【図面の簡単な説明】

【0048】

【図1】 本発明の第1実施形態に係る半導体装置を概略的に示す断面図。

【図2】 第1実施形態の製造工程の一部を示す断面図。

【図3】 図2に続く工程を示す断面図。

【図4】 図3に続く工程を示す断面図。

【図5】 図4に続く工程を示す断面図。

【図6】 図5に続く工程を示す断面図。

【図7】 本発明の第2実施形態に係る半導体装置を概略的に示す断面図。

【図8】 第2実施形態の製造工程の一部を示す断面図。

【図9】 図8に続く工程を示す断面図。

【図10】 図9に続く工程を示す断面図。

【図11】 本発明の第3実施形態に係る半導体装置の製造工程の一部を示す断面図。

【図12】 図11に続く工程を示す断面図。

【図13】 本発明の第4実施形態に係る半導体装置の製造工程の一部を示す断面図。

【図 1 4】図 1 3 に続く工程を示す断面図。

【図 1 5】図 1 4 に続く工程を示す断面図。

【図 1 6】従来の半導体装置の一部を示す断面図。

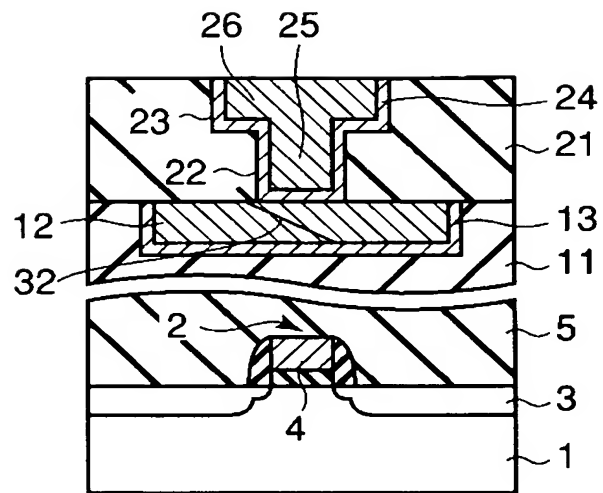
【図 1 7】従来の半導体装置の問題点を示す図。

【符号の説明】

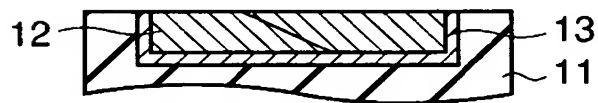
【 0 0 4 9 】

1 …半導体基板、2 …トランジスタ、3 …ソース／ドレイン拡散層、4 …ゲート電極、5 …層間絶縁膜、1 1 …層間絶縁膜、1 2 …配線層、1 3、2 4 …バリアメタル、2 1 …層間絶縁膜、2 2 …ビアホール、2 3 …配線溝、2 5 …ビア、2 6 …配線層、2 7 …材料膜、3 1 …シード膜、3 2 …粒界。

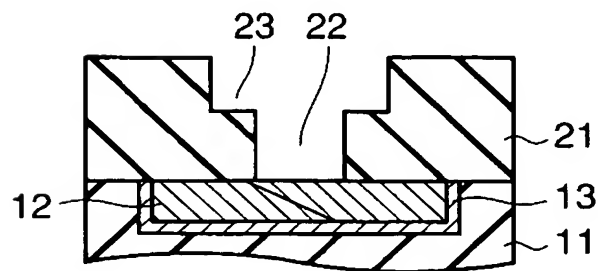
【書類名】 図面  
【図 1】



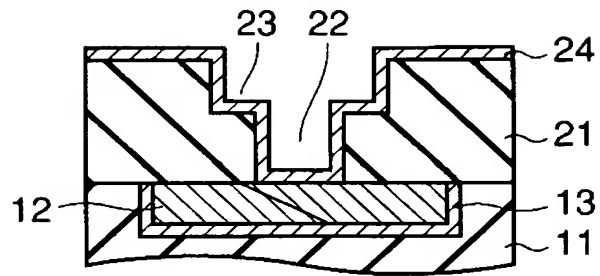
【図 2】



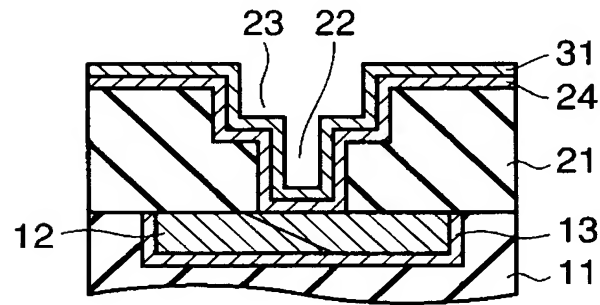
【図 3】



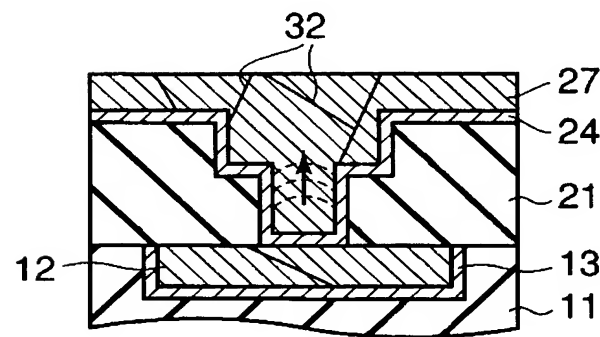
【図 4】



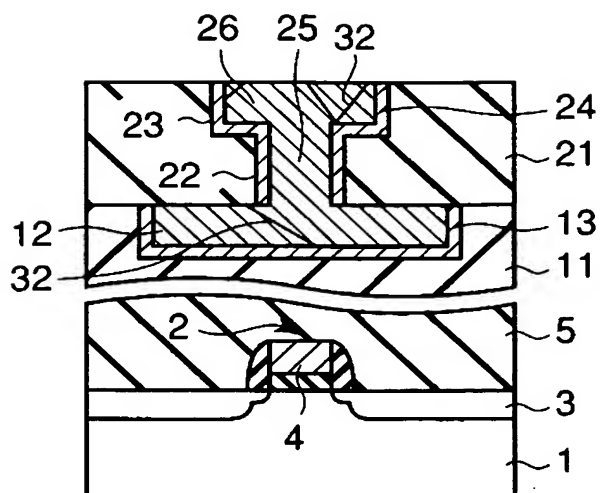
【図 5】



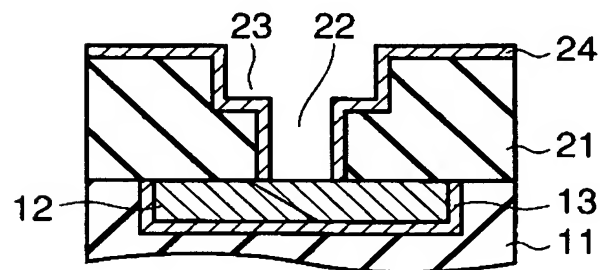
【図 6】



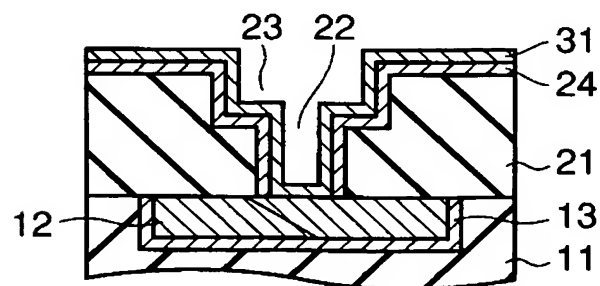
【図 7】



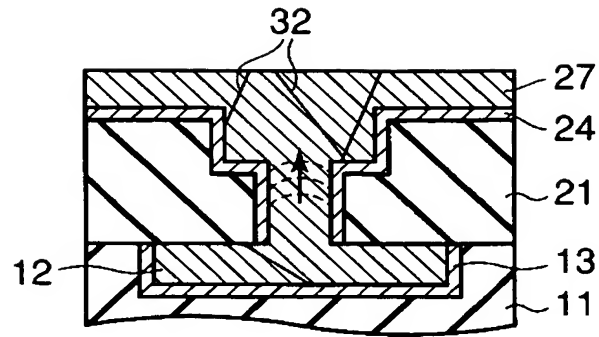
【図 8】



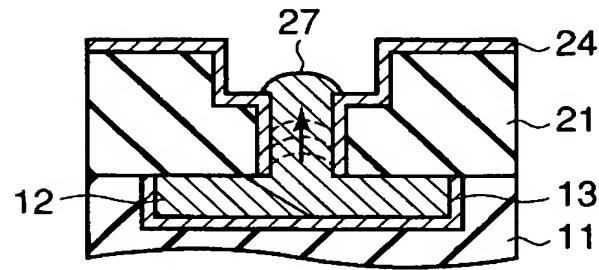
【図 9】



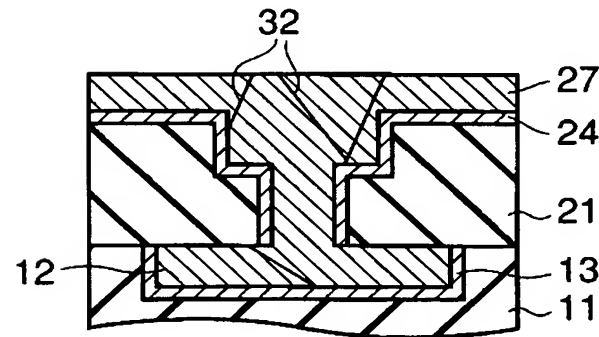
【図 10】



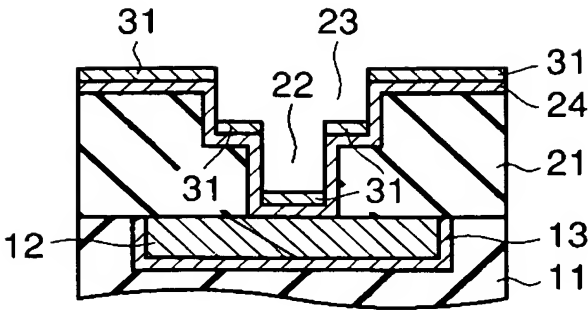
【図 11】



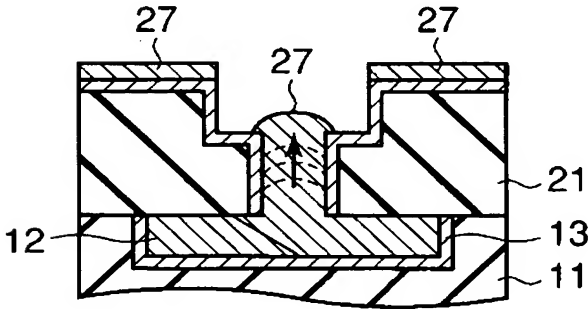
【図 12】



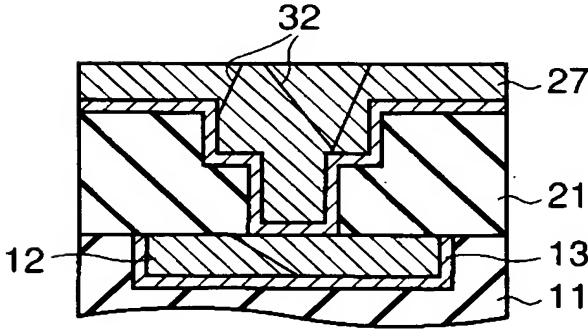
【図 13】



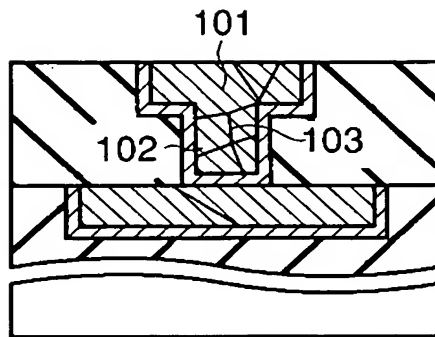
【図 14】



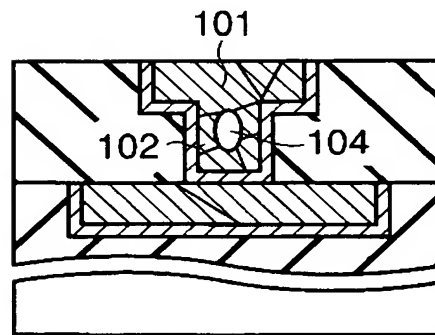
【図 15】



【図 16】



【図 17】



## 【書類名】 要約書

## 【要約】

【課題】 銅から構成されるビアを有し、高いSM耐性を有する半導体装置を提供する。

【解決手段】 半導体装置は、半導体基板1に形成され、且つ半導体基板の表面に形成された接続領域3を有する能動素子構造2を有する。第1絶縁膜11が半導体基板の上方に配設される。銅から構成される第1配線層と12が第1絶縁膜の表面に配設される。第2絶縁膜21が第1絶縁膜上に配設される。底部が第1配線層と接続された接続孔22が第2絶縁膜内に形成される。銅の単一の結晶から構成される接続プラグ25が、接続孔内に他の銅の結晶が配設されることなく接続孔内に充填される。底部が接続孔と接続された配線溝23が第2絶縁膜の表面に形成される。配線溝内に配設された導電材から、第2配線層26が構成される。

【選択図】 図1

特願 2 0 0 3 - 3 7 2 9 8 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝